

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-189522  
 (43)Date of publication of application : 05.07.2002

(51)Int.Cl. G05F 1/56

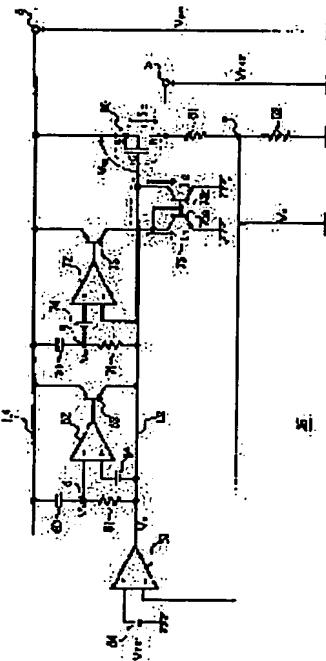
(21)Application number : 2000-388637 (71)Applicant : ROHM CO LTD  
 (22)Date of filing : 21.12.2000 (72)Inventor : YAMAMOTO KENJI

## (54) REGULATOR

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To solve the problem that when an inputted power supply voltage rapidly fluctuates, an output voltage is likely to fluctuate since it is impossible to follow up the rapid voltage change in a conventional regulator.

**SOLUTION:** In this regulator 25 which is provided with an FET 50, resistances 51 and 52, a differential amplifier 53, and a DC voltage source 54, a means for allowing a gate voltage VG to fluctuate according as a power supply voltage VCC to be added to an input terminal (a) which fluctuates is arranged between the input terminal (a) and a gate terminal (G) of the FET 50.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-189522  
(P2002-189522A)

(43)公開日 平成14年7月5日(2002.7.5)

(51)Int.Cl.<sup>7</sup>  
G 0 5 F 1/56

識別記号  
3 1 0  
3 2 0

F I  
G 0 5 F 1/56

テ-マコ-ト(参考)  
3 1 0 C 5 H 4 3 0  
3 2 0 C

審査請求 未請求 請求項の数1 O L (全9頁)

(21)出願番号 特願2000-388637(P2000-388637)

(22)出願日 平成12年12月21日(2000.12.21)

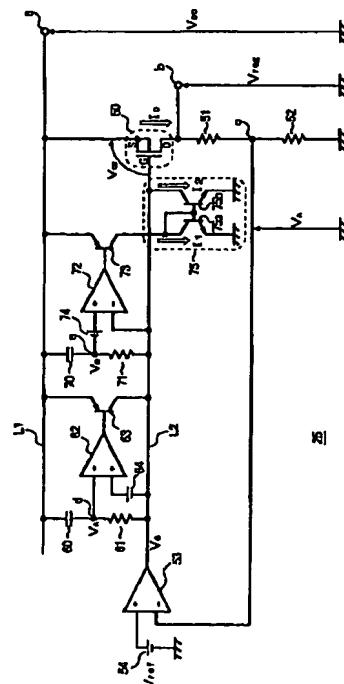
(71)出願人 000116024  
ローム株式会社  
京都府京都市右京区西院溝崎町21番地  
(72)発明者 山本 憲次  
京都市右京区西院溝崎町21番地 ローム株  
式会社内  
(74)代理人 100085501  
弁理士 佐野 静夫  
F ターム(参考) 5H430 BB01 BB05 BB09 BB11 EE06  
EE07 FF04 FF12 FF13 GG08  
HH03 JJ03 JJ07 LA01

(54)【発明の名称】 レギュレータ

(57)【要約】

【課題】 従来のレギュレータでは、入力される電源電圧が急変動した場合、その急激な電圧変化に追従できず出力電圧が変動してしまうおそれがある。

【解決手段】 本発明に係るレギュレータ25はFET50、抵抗51、52、差動増幅器53、及び直流電源54を有するレギュレータにおいて、入力端子aとFET50のゲート端子(G)との間に、入力端子aに加わる電源電圧Vccの変動に応じてゲート電圧Vgを変動させる手段を設けている。



## 【特許請求の範囲】

【請求項1】第1端子が入力端子に接続され、第2端子が出力端子に接続されるとともに電圧検出手段を介してグランドに接続されているトランジスタと、前記電圧検出手段によって検出される電圧が基準電圧と等しくなるように前記トランジスタの制御端子に印加する制御電圧を調節する手段とを有するレギュレータにおいて、前記入力端子と前記トランジスタの制御端子との間に、前記入力端子に加わる入力電圧の変動に応じて前記制御電圧を変動させる手段を設けたことを特徴とするレギュレータ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、入力される電源電圧から常に一定の出力電圧を得るためにレギュレータに関するものである。

## 【0002】

【従来の技術】従来のレギュレータについて、ここではスマートバッテリなどと呼ばれるバッテリパックに用いられるレギュレータを例に挙げて説明を行う。スマートバッテリとは自身に内蔵されたマイクロコンピュータ（以下、マイコンと呼ぶ）を用いて二次電池の電圧（以下、セル電圧と呼ぶ）や充放電電流をモニタする機能を有し、充電器あるいはコンピュータ等の負荷との間でデータ授受を行うことができるバッテリパックのことである。こうした構成のバッテリパックを用いると、充電器あるいはコンピュータ等の負荷側で前記二次電池の状態を知ることができるために、電池の残量表示や充電の停止などを正確に行うことができる。

【0003】ここで、前記バッテリパックに内蔵したマイコンを駆動するためには3.3Vや5.0Vといった定電圧を供給する必要がある。この電圧供給が一定に維持されない場合には前記マイコンの動作が不安定となったり、前記セル電圧の検出精度等が低下したりしてしまい、前記マイコンは過充電保護回路等を正常に制御できなくなる。そのため、過充電に対して電気化学的な自己保護作用のない非水系電池（例えば、リチウムイオン電池）を二次電池として使用したバッテリパックにおいては、その安全性を保証できなくなる。

【0004】また、前記バッテリパックに内蔵したマイコン以外の構成回路についても、安定な動作を維持するためには定電圧を供給することが望ましい。そのため、前記バッテリパックには電源電圧が変化してもその出力電圧を一定に保つためのレギュレータを設けている。

【0005】図6は従来のレギュレータの一構成例を示す回路図である。まず、従来のレギュレータの回路構成について説明する。図中のFET50は出力トランジスタとして機能するpチャネル型のMOS-FETであり、そのソース端子(S)にはレギュレータの入力端子aにつながるラインL1を接続することで電源電圧Vcc

を加えている。一方、FET50のドレン端子(D)については電圧検出手段である抵抗51、52を介してグランドに接続するとともに、レギュレータの出力端子bにも接続している。

【0006】そして、抵抗51、52の接続ノードcを差動増幅器53の逆相入力端子(−)に接続しており、この差動増幅器53の正相入力端子(+)には直流電圧源54を接続することで基準電圧Vrefを印加している。ここで、差動増幅器53の出力端についてはラインL2を介してFET50のゲート端子(G)に接続しており、差動増幅器53からの出力電圧をFET50のゲート電圧Vgとしている。

【0007】次に上記した回路構成を有する従来のレギュレータの動作について説明する。上記構成のレギュレータにおいて、入力端子aに加わる電源電圧Vccが上昇した場合にはFET50のゲート・ソース間ににおける電位差Vesが大きくなる。それに伴ってFET50を流れるドレン電流Idが増加するため、出力端子bにおける出力電圧Vreg及び接続ノードcにおける電圧VAはともに上昇する。

【0008】ここで、差動増幅器53は電圧VAと基準電圧Vrefとを比較し、両者が常に一致するようにFET50のゲート端子(G)に加えるゲート電圧Vgを制御するようになっている。このため、電源電圧Vccの上昇に伴って出力電圧Vreg及び電圧VAが上昇した場合、差動増幅器53はFET50のゲート電圧Vgを上げるように動作する。これにより、FET50のゲート・ソース間ににおける電位差Vesは小さくなるのでドレン電流Idは減少し、出力電圧Vreg及び電圧VAは所定の値まで低下する。

【0009】逆に、電源電圧Vccが低下した場合にはゲート・ソース間に電圧Vesは小さくなるのでドレン電流Idが減少し、出力電圧Vreg及び電圧VAはともに低下する。よって、差動増幅器53はFET50のゲート電圧Vgを下げるように動作する。これにより、FET50のゲート・ソース間ににおける電位差Vesは大きくなるのでドレン電流Idは増加し、出力電圧Vreg及び電圧VAは所定の値まで上昇する。以上の動作により、従来のレギュレータは出力端子bにおける出力電圧Vregを常に一定とすることができます。

## 【0010】

【発明が解決しようとする課題】ここで、前記バッテリパックは充電器に対して着脱が可能であり、前記バッテリパックを充電器にセットする際には前記レギュレータに対して入力される電源電圧Vccが一瞬で大きく上昇することがある。また、何らかの原因で前記バッテリパックがショートしてしまった場合には、大きなショート電流が流れ前記レギュレータに対する電源電圧Vccは急激に低下してしまう。

【0011】しかしながら、従来のレギュレータでは前

述のように電源電圧  $V_{cc}$  が大きく急上昇もしくは急下降した場合、その急激な電圧変化にレギュレータ動作が追従できず一時的に出力電圧  $V_{reg}$  が変動してしまうおそれがある。図7は電源電圧  $V_{cc}$  の急変時におけるFET50のゲート電圧  $V_g$  及びレギュレータの出力電圧  $V_{reg}$  を示すタイムチャート図である。ここでは、電源電圧  $V_{cc}$  、ゲート電圧  $V_g$  、及び出力電圧  $V_{reg}$  の電圧変化をそれぞれ図中(a)～(c)に示しており、各チャート図において縦軸は電位、横軸は時間を示している。

【0012】ここで、図7(a)に示すように電源電圧  $V_{cc}$  が短時間に急上昇した場合、例えば数  $\mu$ sの間に数十mVの電圧上昇が生じた場合、差動増幅器53内の寄生コンデンサCの影響により、その出力であるゲート電圧  $V_g$  は電源電圧  $V_{cc}$  の急上昇に追従することができず、図7(b)に示すように緩やかに上昇する。このように、ゲート電圧  $V_g$  の上昇が遅れるとFET50におけるゲート・ソース間の電位差  $V_{gs}$  が増大するためにFET50のオン抵抗が下がってしまい、出力電圧  $V_{reg}$  は図7(c)に示すように、ゲート電圧  $V_g$  が所定値に達するまでの間に大きく引き上げられてしまう。逆に、電源電圧  $V_{cc}$  が急落した場合にはゲート電圧  $V_g$  の降下が遅れるため、オン抵抗が一気に上昇することになり、出力電圧  $V_{reg}$  は大きく低下してしまう。

【0013】こうした出力電圧  $V_{reg}$  の変動を防止するためには、電源電圧  $V_{cc}$  の変動に対するゲート電圧  $V_g$  の追従性を向上する必要がある。例えば、差動増幅器53の駆動電圧を上げることでレギュレータのループ利得を上げてやれば、ある程度まではゲート電圧  $V_g$  を電源電圧  $V_{cc}$  の急変動に追従させることも可能である。しかしながら、この方法では前述したように数  $\mu$ sの間に數十 mVといった電源電圧  $V_{cc}$  の急変動にゲート電圧  $V_g$  を追従させることは物理的に困難である。また、レギュレータ自体の消費電力は極力抑えたいという要望が強いことを鑑みれば、単純に差動増幅器53の駆動電圧を引き上げる方法は不適当である。

【0014】本発明は上記の問題点に鑑み、入力される電源電圧が急激に変動するアプリケーション状態であっても出力電圧の変動を最小限とすることができます、かつ自身の消費電流を極力抑えることができるレギュレータを提供することを目的とする。

#### 【0015】

【課題を解決するための手段】上記目的を達成するため、本発明に係るレギュレータにおいては、第1端子が入力端子に接続され、第2端子が出力端子に接続されるとともに電圧検出手段を介してグランドに接続されているトランジスタと、前記電圧検出手段によって検出される電圧が基準電圧と等しくなるように前記トランジスタの制御端子に印加する制御電圧を調節する手段とを有するレギュレータにおいて、前記入力端子と前記トランジスタの制御端子との間に、前記入力端子に加わる入力電

圧の変動に応じて前記制御電圧を変動させる手段を設けた構成としている。

#### 【0016】

【発明の実施の形態】ここでは、本発明に係るレギュレータをスマートバッテリなどと呼ばれるバッテリパックに適用した例を挙げて説明を行う。前述した通り、スマートバッテリとは内蔵したマイコンを用いて二次電池の状態をモニタする機能を有し、充電器あるいはコンピュータ等の負荷との間でデータ授受を行うことができるバッテリパックのことである。

【0017】図1は本発明に係るレギュレータを具備するバッテリパックを用いたスマートバッテリシステムの一構成例を示すブロック図である。図中に示すように、このスマートバッテリシステムはバッテリパック10と本体40(例えば、携帯型のパソコンコンピュータ等)とから構成されている。ここで、バッテリパック10はプラス端子1及びマイナス端子2を有しており、一方の本体40もプラス端子41及びマイナス端子42を有している。これらのプラス端子同士及びマイナス端子同士を結合／分離することにより、バッテリパック10を本体40に対して着脱することができる。また、バッテリパック10は二次電池から所望の電圧を発生するとともに、該二次電池の状態を監視するためにバッテリモニタ回路部20及びマイコン30を有している。

【0018】このバッテリパック10は二次電池として、例えば4つのリチウムイオン電池3a～3d(以下、これらをセル3a～セル3dと呼び、適宜まとめてセル3と呼ぶ)を有しており、これらのセル3a～3dを図中に示す順に直列接続している。ここで、セル3aの負極はセンス抵抗4の一端に接続しており、センス抵抗4の他端はバッテリパック10のマイナス端子2に接続している。なお、センス抵抗4とは電流検出用の微小抵抗値(一般に数十mΩ)を持つ抵抗である。

【0019】一方、セル3dの正極はFET等で構成したスイッチ素子5、6を介してバッテリパック10のプラス端子1に接続している。スイッチ素子5、6は互いに直列に接続されており、これらを構成するFETのオン／オフをスイッチングすることによって、セル3からの放電、及び本体40に設けた充電器43からセル3への充電を制御することができる。

【0020】また、バッテリパック10のプラス端子1の電圧とセル3a～3dの合計電圧(すなわち、セル3dの正極電圧)のうち、高い方の電圧を電源電圧  $V_{cc}$  としてバッテリモニタ回路部20に供給するために、ダイオード7及びダイオード8を設けており、これらのダイオード7、8のカソードはともにバッテリモニタ回路部20に設けたレギュレータ25の入力端子aに接続している。一方、ダイオード7のアノードはセル3dの正極に接続しており、ダイオード8のアノードはバッテリパック10のプラス端子1に接続している。このような構

成することにより、バッテリモニタ回路部20の電源電圧V<sub>cc</sub>としては、充電器43の電圧とセル3a～3dの合計電圧のうち、高い方の電圧が加えられることになる。

【0021】次に、バッテリモニタ回路部20及びマイコン30について説明する。バッテリモニタ回路部20はセルセレクタ21、差動増幅器22、増幅器23、パワーFETドライバ24、及びレギュレータ25といった回路から構成されている。また、マイコン30はCPU31及びA/Dコンバータ32を有しており、バッテリモニタ回路部20の制御及び本体40側に設けたCPU44とのデータ授受を行う。なお、マイコン30と本体40とは図示しない通信用のバスによって接続されている。

【0022】セルセレクタ21はマルチプレクサ等で構成されており、セル3a～3dの各正極～負極間のセル電圧E<sub>1</sub>～E<sub>4</sub>のいずれかを周期的に選択して差動増幅器22に送出している。ここで、差動増幅器22は入力された各セル電圧E<sub>1</sub>～E<sub>4</sub>をマイコン30が読み取り可能なレベルに変換して、マイコン30のA/Dコンバータ32に送出する。一方、増幅器23はセンス抵抗4で生じた電圧降下をマイコン30が読み取り可能なレベルに変換して、マイコン30のA/Dコンバータ32に送出している。

【0023】マイコン30は差動増幅器22の出力に基づいてセル3a～3dの各セル電圧E<sub>1</sub>～E<sub>4</sub>を検知するとともに、増幅器23からの出力に基づいてセル3a～3dに流れる充電電流もしくは放電電流を検知し、それらの電圧値及び電流値に応じてパワーFETドライバ24の動作を制御するようになっている。ここで、パワーFETドライバ24とは前述のスイッチ素子5、6を構成するFETのオン/オフを切り替えるものである。このような構成とすることにより、マイコン30によってバッテリパック10が過充電もしくは過放電状態となることを防止することができる。

【0024】続いて、レギュレータ25についての説明を行う。レギュレータ25は入力される電源電圧V<sub>cc</sub>から常に一定な出力電圧V<sub>reg</sub>を得るものであり、その出力電圧V<sub>reg</sub>をマイコン30やバッテリモニタ回路部20の各構成回路に供給する働きを有する。図2は本発明の第1実施形態のレギュレータ25を示す回路図である。まず、本実施形態におけるレギュレータ25の回路構成について説明する。

【0025】図中のFET50は出力トランジスタとして機能するpチャネル型のMOS-FETであり、そのソース端子(S)にはレギュレータ25の入力端子aにつながるラインL1が接続されて電源電圧V<sub>cc</sub>が印加されている。一方、FET50のドレン端子(D)については電圧検出手段である抵抗51、52を介してグラウンドに接続するとともに、レギュレータ25の出力端子

bにも接続している。

【0026】そして、抵抗51、52の接続ノードcを差動増幅器53の逆相入力端子(−)に接続しており、この差動増幅器53の正相入力端子(+)には直流電圧源54を接続することで基準電圧V<sub>ref</sub>を印加している。ここで、差動増幅器53の出力端についてはラインL2を介してFET50のゲート端子(G)に接続しており、差動増幅器53からの出力電圧をFET50のゲート電圧V<sub>g</sub>としている。以上の回路構成は図6に示した従来のレギュレータと同一構成であり、その動作についても従来と同様である。

【0027】この構成に加えて、本実施形態ではラインL1とラインL2との間に、図示のラインL1から順にコンデンサ60と抵抗61の直列回路を接続しており、それらの接続ノードdを第1コンパレータ62の逆相入力端子(−)に接続している。一方、第1コンパレータ62の正相入力端子(+)には直流電圧源64の正極を接続しており、この直流電圧源64の負極をラインL2と接続している。また、第1コンパレータ62の出力端子をpnp型の第1トランジスタ63のベース端子に接続している。なお、第1トランジスタ63のエミッタ端子についてはラインL1に接続しており、コレクタ端子についてはラインL2に接続している。

【0028】さらに、本実施形態ではラインL1とラインL2との間に、図示のラインL1から順にコンデンサ70と抵抗71の直列回路を接続しており、それらの接続ノードeを第2コンパレータ72の正相入力端子(+)に接続している。なお、接続ノードeと第2コンパレータ72の正相入力端子(+)との間には、図示の極性で直流電圧源74を接続している。一方、第2コンパレータ72の逆相入力端子(−)についてはラインL2に接続している。また、第2コンパレータ72の出力端子をpnp型の第2トランジスタ73のベース端子に接続している。なお、この第2トランジスタ73のエミッタ端子についてはラインL1に接続しており、コレクタ端子についてはカレントミラーリー回路75の入力側に接続している。

【0029】カレントミラーリー回路75はnppn型のトランジスタ75a、75bから成っており、トランジスタ75aのコレクタ端子については前述の第2トランジスタ73のコレクタ端子に接続するとともに、自身のベース端子にも接続している。一方、トランジスタ75bのコレクタ端子についてはラインL2に接続しており、ベース端子についてはトランジスタ75aのベース端子と接続している。なお、トランジスタ75a、75bの各エミッタ端子については、ともにグランドに接続している。

【0030】次に、上記した回路構成を有するレギュレータ25の動作について説明を行う。図3は電源電圧V<sub>cc</sub>の急変時におけるFET50のゲート電圧V<sub>g</sub>及びレ

**7**  
ギュレータの出力電圧  $V_{reg}$  を示すチャート図である。ここでは、電源電圧  $V_{cc}$ 、ゲート電圧  $V_g$ 、及び出力電圧  $V_{reg}$  の電圧変動をそれぞれ図中 (a) ~ (c) に示しており、各チャート図は縦軸に電位、横軸に時間をとったものである。なお、図中の実線は本実施形態における電圧挙動を示しており、破線は従来の電圧挙動を判りやすく示している。

【0031】まず、電源電圧  $V_{cc}$  が急上昇した場合の動作について説明する。入力端子 a に加わる電源電圧  $V_{cc}$  に大きな変動のない定常状態（時刻  $t_1$  以前）において、コンデンサ 60 には電源電圧  $V_{cc}$  とゲート電圧  $V_g$  との差電圧が充電されているため、接続ノード d の電圧  $V_A$  は基本的にゲート電圧  $V_g$  と等しい値になっている。なお、本実施形態においては、コンデンサ 60 の両端電圧がゲート電圧  $V_g$  の変動に追従してしまわないよう、抵抗 61 は比較的大きい抵抗値（例えば、 $1 M\Omega$ ）を持つ抵抗としている。

【0032】上記のような定常状態から時刻  $t_1$  にて電源電圧  $V_{cc}$  が急上昇した場合、コンデンサ 60 の両端電圧は電荷保存則により一定なので、電圧  $V_A$  の値は急上昇する。これにより、ゲート電圧  $V_g$  は従来と同様に電源電圧  $V_{cc}$  の急上昇に追従できずに低いまま残ってしまうのに対して、接続ノード d の電圧  $V_A$  は電源電圧  $V_{cc}$  に追従して一気に上昇するようになる。

【0033】ここで、第 1 コンパレータ 62 は正相入力端子 (+) に入力されるゲート電圧  $V_g$  と直流電圧源 64 のオフセット分との和電圧が、逆相入力端子 (-) に入力される電圧  $V_A$  より高ければ H レベル、低ければ L レベルの比較結果信号を出力する。また、第 1 トランジスタ 63 は前記比較結果信号が H レベルならばオフ、L レベルならオンとなるように動作する。従って、時刻  $t_1$  にて電源電圧  $V_{cc}$  が急上昇した場合、回路の遅延等により若干時刻  $t_1$  からは遅れるものの、時刻  $t_2$  には電圧  $V_A$  がゲート電圧  $V_g$  と直流電圧源 64 との和電圧を上回り、第 1 コンパレータ 62 は L レベルの前記比較結果信号を出力し始める。

【0034】これにより、第 1 トランジスタ 63 がオンとなってライン L 1 とライン L 2 を短絡する形となるので、ライン L 2 のゲート電圧  $V_g$  はライン L 1 の電源電圧  $V_{cc}$  に引っ張られて一気に上昇し始める。よって、出力段の FET 50 におけるゲート・ソース間の電位差  $V_{gs}$  を迅速に本来の値まで戻すことができるので、従来のレギュレータに比べて出力電圧  $V_{reg}$  の変動を非常に小さく抑えることができる。

【0035】その後、時刻  $t_3$  にてゲート電圧  $V_g$  が電源電圧  $V_{cc}$  に見合った高さまで引き上げられ、ゲート電圧  $V_g$  と直流電圧源 64 のオフセット分との和電圧が電圧  $V_A$  と一致した時点で第 1 コンパレータ 62 からの前記比較結果信号は H レベルに戻り、第 1 トランジスタ 63 はオフとなる。時刻  $t_3$  ~ 時刻  $t_4$  の間は電源電圧  $V_{cc}$  が

高位で安定した定常状態となる。なお、この定常状態時に生じる電源電圧  $V_{cc}$  の揺れについては、従来構成のレギュレータと同様に出力電圧  $V_{reg}$  の変動を検出してフィードバック制御を行うことで、常に一定の出力電圧  $V_{reg}$  を維持するものである。

【0036】なお、前述の直流電圧源 64 等を用いたオフセット電圧を設けずに、ゲート電圧  $V_g$  と電圧  $V_A$  とを第 1 コンパレータ 62 で直接比較する構成とすると、定常状態においてゲート電圧  $V_g$  もしくは電圧  $V_A$  がわずかに揺れただけで両者の高低が逆転し、頻繁に第 1 トランジスタ 63 がオンとなって逆効果に働くおそれがある。これを防止するために、本実施形態においては第 1 コンパレータ 62 の正相入力端子 (+) 側、すなわちゲート電圧  $V_g$  に対するオフセット分として直流電圧源 64 を接続している。

【0037】ここで、直流電圧源 64 の電圧値は大きすぎるとゲート電圧  $V_g$  の引き上げが途中から鈍くなるし、小さすぎると第 1 コンパレータ 62 が逆効果に働くおそれがあるため、適正な電圧値（例えば数十mV）を与える必要がある。なお、直流電圧源 64 を用いないで、第 1 コンパレータ 62 を構成するトランジスタのサイズを変更して、回路的にオフセット電圧を得るようにしてもよい。以上の動作の間、カレントミラーサイド 75 は次段で説明する動作と逆の動作になるので、トランジスタ 75b がオンすることはない。

【0038】次に、電源電圧  $V_{cc}$  が急下降した場合の動作について説明する。時刻  $t_4$  までの定常状態において、コンデンサ 70 には電源電圧  $V_{cc}$  とゲート電圧  $V_g$  との差電圧が充電されているため、接続ノード e の電圧  $V_B$  は基本的にゲート電圧  $V_g$  と等しい値になっている。ここでも、コンデンサ 70 の両端電圧がゲート電圧  $V_g$  の変動に追従してしまわないよう、抵抗 71 は比較的大きい抵抗値（例えば、 $1 M\Omega$ ）を持つ抵抗としている。

【0039】上記のような定常状態から時刻  $t_4$  にて電源電圧  $V_{cc}$  が急下降した場合、コンデンサ 70 の両端電圧は電荷保存則により一定なので、電圧  $V_B$  の値は急下降する。これにより、ゲート電圧  $V_g$  は電源電圧  $V_{cc}$  の急下降に追従できずに高いまま残ってしまうのに対して、接続ノード e の電圧  $V_B$  は電源電圧  $V_{cc}$  に追従して一気に下降する。

【0040】ここで、第 2 コンパレータ 72 は正相入力端子 (+) に入力される電圧  $V_B$  と直流電圧源 74 のオフセット分との和電圧が、逆相入力端子 (-) に入力されるゲート電圧  $V_g$  より高ければ H レベル、低ければ L レベルの比較結果信号を出力するものである。また、第 2 トランジスタ 73 は前記比較結果信号が H レベルならばオフ、L レベルならオンとなるように動作するものである。従って、時刻  $t_4$  にて電源電圧  $V_{cc}$  が急下降した場合、回路の遅延等により若干時刻  $t_4$  からは遅れるも

の、時刻  $t_5$  には電圧  $V_B$  と直流電圧源 7 4 との和電圧がゲート電圧  $V_6$  を下回り、第 2 コンパレータ 7 2 は L レベルの前記比較結果信号を出力し始める。

【0041】ここでも、第 2 コンパレータ 7 2 の正相入力端子 (+) 側、すなわち電圧  $V_B$  にオフセット分として直流電圧源 7 4 を接続したことにより、ゲート電圧  $V_6$  もしくは電圧  $V_B$  が少々揺れても第 2 コンパレータ 7 2 が誤動作を生じることがない。

【0042】前記比較結果信号が L レベルとなり第 2 トランジスタ 7 3 がオンすると、カレントミラー回路 7 5 を構成するトランジスタ 7 5 a には電流  $I_1$  が流れるため、もう一方のトランジスタ 7 5 b には電流  $I_1$  に応じた電流  $I_2$  がライン 2 から流れ込む。そのため、ライン L 2 のゲート電圧  $V_6$  はライン L 1 の電源電圧  $V_{cc}$  に引っ張られる形で一気に下降する。よって、出力段の FET 5 0 におけるゲート-ソース間の電位差  $V_{gs}$  を迅速に本来の値まで戻すことができるので、従来のレギュレータに比べて出力電圧  $V_{reg}$  の変動を非常に小さく抑えることができる。

【0043】その後、時刻  $t_6$  にてゲート電圧  $V_6$  が電源電圧  $V_{cc}$  に見合った高さまで引き下げられ、ゲート電圧  $V_6$  が電圧  $V_B$  と一致した時点で第 2 コンパレータ 7 2 からの前記比較結果信号は H レベルに戻り、第 2 トランジスタ 7 3 はオフとなる。こうして、時刻  $t_6$  以降は電源電圧  $V_{cc}$  が低位で安定した定常状態となる。以上の動作の間、トランジスタ 6 3 は前述の説明のような動作によりオンすることはない。

【0044】なお、上記に説明したレギュレータ 2 5 におけるコンデンサ 6 0、7 0 及び抵抗 6 1、7 1 については、各々に接続するコンパレータ 6 2、7 2 のレスポンス性能や、レギュレータ 2 5 自身の入力インピーダンス等を考慮しながら、適当な値のものを用いればよい。

【0045】以上のように、レギュレータ 2 5 を本実施形態に示す回路構成とすることにより、入力端子 a に加わる電源電圧  $V_{cc}$  が高速で大きく変動する場合においても、出力電圧  $V_{reg}$  の変動を最小限にとどめることができとなる。よって、マイコン 3 0 やバッテリモニタ回路 2 0 を構成する各回路部に一定電圧を供給することができ、バッテリパック 1 0 を安定に動作させることができる。また、本実施形態におけるレギュレータ 2 5 であれば、単純に差動増幅器 5 3 の駆動電圧を上げることで本実施形態と同等の効果を得ようとしたレギュレータに比べて、自身の消費電流を非常に小さく抑えることができる。

【0046】次に本発明に係るレギュレータ 2 5 の第 2 実施形態について説明する。本実施形態は前述の第 1 実施形態を発展させたものであり、電源電圧  $V_{cc}$  の急下降時における出力電圧  $V_{reg}$  の変動をより迅速に収束させることができるように構成を実現している。図 4 は本発明の第 2 実施形態のレギュレータ 2 5 a を示す回路図であり、

図 5 はレギュレータ 2 5 a の要部を示す回路図である。まず、本実施形態におけるレギュレータ 2 5 a の回路構成について説明する。

【0047】図 4 中に示すように、本実施形態では前述の第 1 実施形態に示した回路構成に加えて、ライン L 1 とライン L 2 との間に図示の順でコンデンサ 8 0 と抵抗 8 1 の直列回路をもう一組接続しており、それらの接続ノード f を p n p 型の第 3 トランジスタ 8 2 のベース端子に接続している。なお、この第 3 トランジスタ 8 2 のエミッタ端子についてはライン L 2 に接続しており、コレクタ端子についてはグランドに接続している。また、図 5 に示すように、本実施形態における第 2 コンパレータ 7 2 は p n p 型のトランジスタ 7 2 a、7 2 b、n p n 型のトランジスタ 7 2 c、7 2 d、及び定電流源 7 2 e から成る非常に一般的な構成のものとしている。

【0048】ここで、トランジスタ 7 2 a のコレクタ端子についてはトランジスタ 7 2 c のコレクタ端子に接続するとともに、自身のベース端子にも接続している。一方、トランジスタ 7 2 b のコレクタ端子についてはトランジスタ 7 2 d のコレクタ端子に接続しており、ベース端子についてはトランジスタ 7 2 a のベース端子と接続している。なお、トランジスタ 7 2 b のコレクタ端子とトランジスタ 7 2 d のコレクタ端子との接続ノードは第 2 コンパレータの出力端子であり、第 2 トランジスタ 7 3 のベース端子に接続している。また、トランジスタ 7 2 a、7 2 b の各エミッタ端子についてはライン L 1 に接続している。

【0049】トランジスタ 7 2 c のベース端子は第 2 コンパレータ 7 2 の正相入力端子 (+) であり、直流電圧源 7 4 を介して接続ノード e と接続している。一方、トランジスタ 7 2 d のベース端子は第 2 コンパレータ 7 2 の逆相入力端子 (-) であり、ライン L 2 と接続している。なお、トランジスタ 7 2 c、7 2 d の各エミッタ端子については、ともに直流電流源 7 2 e を介してグランドに接続している。

【0050】統いて、図 5 の回路の動作について説明を行う。入力端子 a に加わる電源電圧  $V_{cc}$  が急低下した場合、第 2 コンパレータ 7 2 は自身を構成する p n p 型のトランジスタ 7 2 a、7 2 b のベース容量によって一瞬カットオフしてしまう。よって、ライン L 2 のゲート電圧  $V_6$  を引き上げるために設けた第 2 コンパレータ 7 2 自身の反応はどうしても遅延することになる。

【0051】一方、本実施形態において新たに設けたコンデンサ 8 0 と抵抗 8 1 の接続ノード f における電圧  $V_c$  は、前述した実施形態で説明した接続ノード e における電圧  $V_B$  と同様に、電源電圧  $V_{cc}$  の急下降に追従して一気に下降する。そのため、第 3 トランジスタ 8 2 は電源電圧  $V_{cc}$  の急下降に伴って遅滞なくオンとなり、ライン L 2 から電流  $I_3$  を引き込むことになる。

【0052】よって、第 2 コンパレータ 7 2 が一瞬カッ

トオフしている間にもラインL2のゲート電圧V<sub>G</sub>をある程度引き下げるができる。そして、この第3トランジスタ82が動作している間に第2コンパレータ72のカットオフは解消されるので、その後は前述の第1実施形態で説明したゲート電圧V<sub>G</sub>の引き下げ動作が始まる。このような構成により、入力される電源電圧V<sub>CC</sub>が急下降した場合におけるゲート電圧V<sub>G</sub>の引き下げ動作を、前述の第1実施形態にも増して素早く実行することが可能となるため、出力電圧V<sub>reg</sub>の変動を一層小さく抑えることができる。

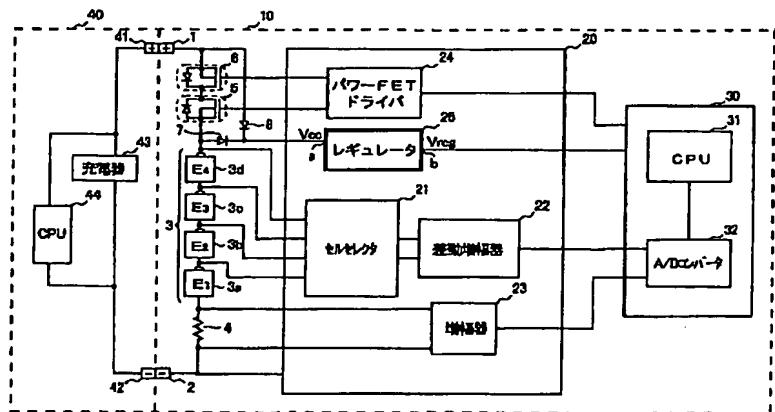
【0053】なお、以上に説明した実施形態においては、本発明に係るレギュレータをバッテリパックに適用した例を挙げて説明を行ったが、本発明に係るレギュレータはこれに限らず高速で大きく変動する電源電圧から常に一定電圧の電源供給を行う必要のあるアプリケーションについて広く適用することができる。

【0054】

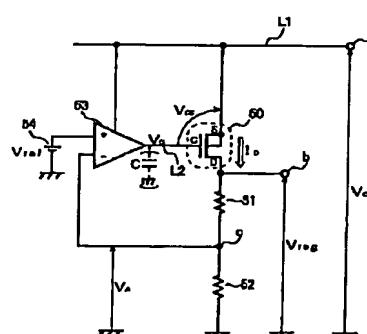
【発明の効果】本発明に係るレギュレータにおいては、第1端子が入力端子に接続され、第2端子が出力端子に接続されるとともに電圧検出手段を介してグランドに接続されているトランジスタと、前記電圧検出手段によって検出される電圧が基準電圧と等しくなるように前記トランジスタの制御端子に印加する制御電圧を調節する手段とを有するレギュレータにおいて、前記入力端子と前記トランジスタの制御端子との間に、前記入力端子に加わる入力電圧の変動に応じて前記制御電圧を変動させる手段を設けた構成としている。

【0055】こうした構成とすることで、前記入力端子に加わる入力電圧が急激に変動するアプリケーション状態においても、自身の消費電流を極力抑えつつ出力電圧の変動を最小限にとどめることができることが可能なレギュレータを実現することができる。

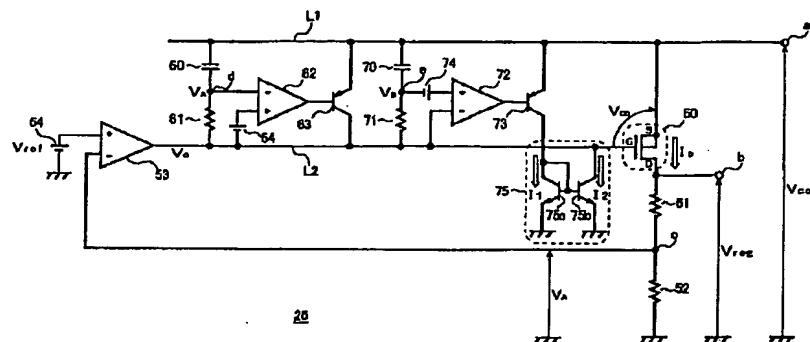
〔四〕



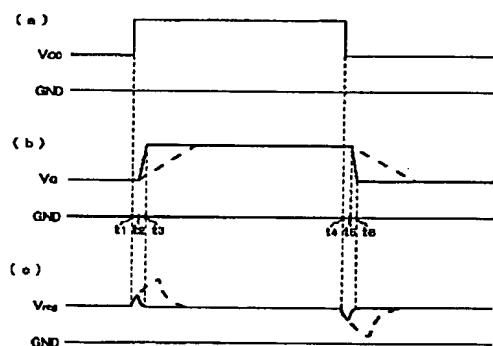
[图 6]



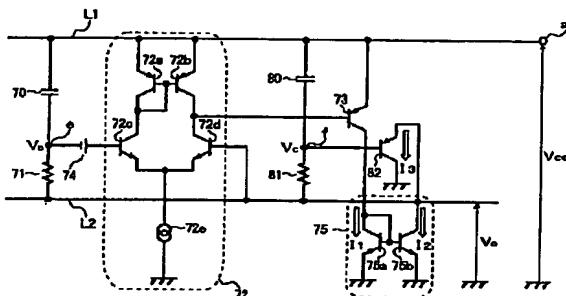
【図2】



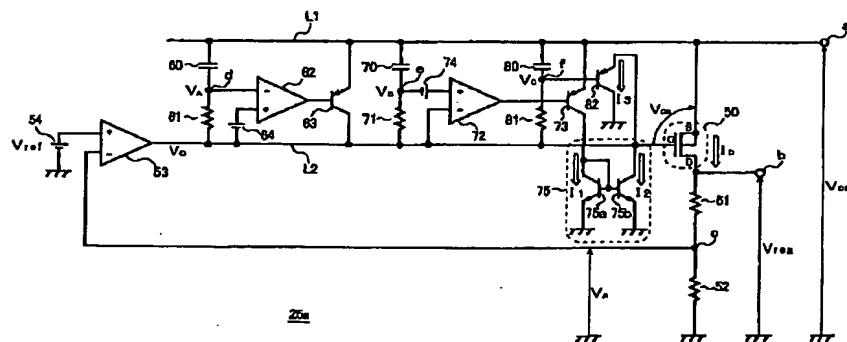
( 3)



【図5】



( 4)



【図7】

